

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-289186

(43)公開日 平成11年(1999)10月19日

(51)Int.Cl.⁶

H 05 K 9/00

識別記号

1/18

F I

H 05 K 9/00

1/18

M

Q

D

審査請求 未請求 請求項の数8 O L (全 5 頁)

(21)出願番号 特願平10-90132

(22)出願日 平成10年(1998)4月2日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 寺山 労実

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(74)代理人 弁理士 大塚 康徳 (外2名)

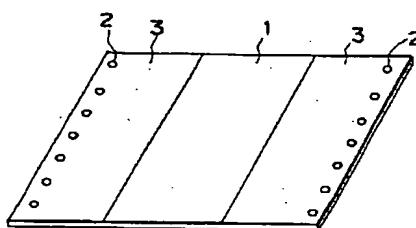
(54)【発明の名称】 半導体のノイズ低減装置及び半導体のノイズ低減方法

(57)【要約】

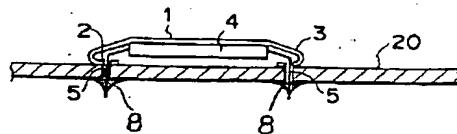
【課題】リード部に貫通孔部を挿通した状態で基板に実装することで、不要な放射ノイズの放射を低減する装置及び方法を提供する。

【解決手段】所定素子を実装したリードを樹脂封止して成形される本体部4から、リード部5の一部を外部に露出した半導体のノイズ低減装置であって、電磁波の遮蔽を行なうフェライトを含む磁性材料から形成され、リード部5の外周回りを挿通する貫通孔部2を穿設した遮蔽部材により、本体部4の上面部を少なくとも覆うとともに、リード部5に貫通孔部2を挿通した状態で基板20に実装する。

(a)



(b)



【特許請求の範囲】

【請求項1】 所定素子を実装したリードを樹脂封止して成形される本体部から、前記リード部の一部を外部に露出した半導体のノイズ低減装置であって、電磁波の遮蔽を行なうフェライトを含む磁性材料から形成され、前記リード部の外周回りを挿通する貫通孔部を穿設した遮蔽手段により、前記本体部の上面部を少なくとも覆うとともに、前記リード部に前記貫通孔部を挿通した状態で基板に実装することを特徴とする半導体のノイズ低減装置。

【請求項2】 前記遮蔽手段を、前記本体部を覆うとともに前記本体部に対する位置決めを行なう剛体からなる第1の基部と、前記第1の基部の両側縁部から延設される可撓性の第2の基部から一体形成するとともに、前記第2の基部の縁部に沿うように前記貫通孔部を穿設し、前記第2の基部を前記リード部近傍から山折りまたは前記本体部の底面から谷折りすることにより、前記リード部に前記貫通孔部を挿通した状態で基板に実装することを特徴とする請求項1に記載の半導体のノイズ低減装置。

【請求項3】 前記第1の基部を導電体から形成するとともに、前記第2の基部をフェライトを含む磁性材料から形成することを特徴とする請求項2に記載の半導体のノイズ低減装置。

【請求項4】 前記第1の基部において、前記基板のグランドパターンに接続する延設部を設けることを特徴とする請求項2に記載の半導体のノイズ低減装置。

【請求項5】 前記遮蔽手段により、前記本体部の底面部と両側面部を覆うことを特徴とする請求項2または3のいずれかに記載の半導体のノイズ低減装置。

【請求項6】 所定素子を実装したリードを樹脂封止して成形される本体部から、前記リード部の一部を外部に露出した半導体のノイズ低減方法であって、電磁波の遮蔽を行なうフェライトを含む磁性材料から形成され、前記リード部の外周回りを挿通する貫通孔部を穿設した遮蔽手段により、前記本体部を覆う工程と、前記リード部に前記貫通孔部を挿通した状態で基板に実装する工程とを具備することを特徴とする半導体のノイズ低減方法。

【請求項7】 前記リード部に前記貫通孔部を挿通した状態で基板に実装する工程において、前記遮蔽手段を、前記本体部を覆うとともに前記本体部に対する位置決めを行なう剛体からなる第1の基部と、前記第1の基部の両側縁部から延設される可撓性の第2の基部から一体形成するとともに、前記第2の基部の縁部に沿うように前記貫通孔部を穿設し、

前記第2の基部を前記リード部近傍から山折りまたは前記本体部の底面から谷折りすることにより、前記リード部に前記貫通孔部を挿通した状態で基板に実装すること

を特徴とする請求項6に記載の半導体のノイズ低減方法。

【請求項8】 前記第1の基部を導電体から形成するとともに、前記基板のグランドパターンに接続する延設部を設けることで、前記延設部との電気的接続を行なう工程をさらに具備することを特徴とする請求項7に記載の半導体のノイズ低減方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体のノイズ低減装置及び半導体のノイズ低減方法に係り、特にICが発する電磁波（不要輻射）の低減に関するものである。

【0002】

【従来の技術】従来、半導体のICパッケージから放射されるノイズを対策する場合において、プリント配線板全体を金属材料からなるシャーシで覆うなどの対策を行っていた。または、特開平03-253099号公報によれば、ICパッケージのリードから放射されるノイズ防止のために、リードピン1本づつにフェライトビーズまたはフェライトチューブを被せるようにしてICパッケージから放射されるノイズを減少するようになっていた。

【0003】

【発明が解決しようとする課題】しかしながら、上記の前者の従来例によれば金属製のシャーシでICパッケージの実装されているプリント基板全体を覆うことから、コストアップとなる問題や重量増加、及び小形化が難しくなる問題点があった。また、後者の提案によれば、ICパッケージのリードピン1本1本に対してフェライトビーズまたはフェライトチューブを挿入する工程が必要なことから、その分の時間を要するのでコストアップを招く問題に加えて、樹脂封止して成形される本体部に対する対策については考慮されていないことから、本体部の上部などから放射される電磁波が外部に放射されるという問題があった。

【0004】したがって、本発明は上述した問題点に鑑みてなされたものであり、樹脂封止された半導体を基板に実装する際に、簡単に構成される遮蔽手段であって、電磁波の遮蔽を行なうフェライトを含む磁性材料から形成され、リード部の外周回りを挿通する貫通孔部を穿設した遮蔽部材により、本体部の上面部を覆うとともに、リード部に貫通孔部を挿通した状態で基板に実装することで、不要な放射ノイズの放射を低減する装置及び方法を提供することを目的としている。

【0005】

【課題を解決するための手段】上述した課題を解決し、目的を達成するために本発明によれば、所定素子を実装したリードを樹脂封止して成形される本体部から、前記リード部の一部を外部に露出した半導体のノイズ低減装置であって、電磁波の遮蔽を行なうフェライトを含む

性材料から形成され、前記リード部の外周回りを挿通する貫通孔部を穿設した遮蔽手段により、前記本体部の上面部を少なくとも覆うとともに、前記リード部に前記貫通孔部を挿通した状態で基板に実装することを特徴としている。

【0006】また、前記遮蔽手段を、前記本体部を覆うとともに前記本体部に対する位置決めを行なう剛体からなる第1の基部と、前記第1の基部の両側縁部から延設される可撓性の第2の基部から一体形成するとともに、前記第2の基部の縁部に沿うように前記貫通孔部を穿設し、前記第2の基部を前記リード部近傍から山折りまたは前記本体部の底面から谷折りしすることにより、前記リード部に前記貫通孔部を挿通した状態で基板に実装することを特徴としている。

【0007】また、前記第1の基部を導電体から形成するとともに、前記第2の基部をフェライトを含む磁性材料から形成することを特徴としている。

【0008】また、前記第1の基部において、前記基板のグランドパターンに接続する延設部を設けることを特徴としている。

【0009】また、前記遮蔽手段により、前記本体部の底面部と両側面部を覆うことを特徴としている。

【0010】また、所定素子を実装したリードを樹脂封止して成形される本体部から、前記リード部の一部を外部に露出した半導体のノイズ低減方法であって、電磁波の遮蔽を行なうフェライトを含む磁性材料から形成され、前記リード部の外周回りを挿通する貫通孔部を穿設した遮蔽手段により、前記本体部を覆う工程と、前記リード部に前記貫通孔部を挿通した状態で基板に実装する工程とを具備することを特徴としている。

【0011】また、前記リード部に前記貫通孔部を挿通した状態で基板に実装する工程において、前記遮蔽手段を、前記本体部を覆うとともに前記本体部に対する位置決めを行なう剛体からなる第1の基部と、前記第1の基部の両側縁部から延設される可撓性の第2の基部から一体形成するとともに、前記第2の基部の縁部に沿うように前記貫通孔部を穿設し、前記第2の基部を前記リード部近傍から山折りまたは前記本体部の底面から谷折りすることにより、前記リード部に前記貫通孔部を挿通した状態で基板に実装することを特徴としている。

【0012】そして、前記第1の基部を導電体から形成するとともに、前記基板のグランドパターンに接続する延設部を設けることで、前記延設部との電気的接続を行なう工程をさらに具備することを特徴としている。

【0013】

【発明の実施の形態】以下に本発明の好適な実施形態について、添付図を参照して述べる。図1は、第1実施形態を表す図面であり、(a)は遮蔽手段の外観斜視図、(b)は基板20への実装後の断面図を夫々示したものである。

【0014】図1(a)において第1の基部を構成するフェライト1は剛体からなり容易には曲がらないようにしている。このフェライト1の両側からは図示の第2の基部を構成するフレキシブルフェライト3が連続形成されており、その縁部においてリードピン用ホール2を穿設している。このホール2の直径は、ICパッケージ4のリードピン5の外形寸法よりも大き目に設定されており、また同じ本数分を設けることでホール2をリードピン5に対して挿通したときに接触しないようにして、ショートを防止している。

【0015】一方、フレキシブルフェライト3は図示のような状態まで曲げることのできる可撓性を有する特殊フェライトから作製されており、図1(b)に図示のように山折りすることでICパッケージ4のリードピン5をリードピン用ホール2に挿通してからICパッケージ4全体を上部から覆う様にすることで、ノイズ低減装置を構成してから、リード5をはんだ付けすることで不動状態にするようしている。

【0016】尚、フェライト1は底部側から覆うようにしてもよく、上部と下部から同時に覆う事により更に効果が上がるものである。

【0017】また、フェライト1において導電部材を用いることにより、ICパッケージ上部から放射される放射ノイズをシールドする効果がより向上することになる。

【0018】以上説明の構成において、ICチップ4から出力される信号はリードピン5へと出力される。この時に、ICパッケージ4及びリードピン5から電磁波ノイズが一部放射されることになるが、ICパッケージ4から放射される電磁波ノイズはフェライト1で吸収されるとともに、リードピン5から放射される電磁波ノイズについてはフレキシブルフェライト3で吸収されることから、外部に電磁波ノイズを放射させないようにできる。

【0019】次に、図2は第2の実施形態にかかる遮蔽部材の展開図(a)、実装後の断面図(b)である。本図において、既に説明済みの構成部品については同様の符号を附して説明を割愛すると、この実施形態の特徴はICパッケージ4を上下から覆う様にした点にある。

【0020】そこで、フェライト1を図示のように上下に設け、さらに接続用端子6をプリント基板のグランドパターンに半田等により接続するようにしている。フレキシブルフェライト3以外の部分を導電性の材料から構成するようにして、接続用端子6をプリント基板のグランドパターンに半田等により接続することによりシールド効果を得るようにしている。

【0021】図3は第3の実施形態にかかる遮蔽部材の展開図である。また、図4は実装後の様子を示した外観斜視図である。

【0022】両図において、既に説明済みの構成部品に

については同様の符号を附して説明を割愛すると、この実施形態の特徴は I C パッケージ 4 を上下から覆う様にするとともに、接続用端子 6 とフェライト 1 とを図示のように一体形成することで半田 8 により基板 20 のグランドパターン 9 上にはんだ付けするとともに、リード 5 に接続される信号パターン 10 上を不図示の絶縁体を介して固定するようにしたものである。このとき、遮蔽部材 4 を隙間なく取り囲むように構成することができる。

【0023】このように実際にプリント基板 20 上に配置するようにして、I C パッケージのリードピン 5 を上部からリードピン用ホール 2 に挿入し上蓋を被せる様にし、接続用端子 6 を半田 8 によりグランドパターン 9 に接続することで、シールド効果を得るようにでき、さらには電磁ノイズレベルを下げることができ、I C パッケージから発せられる電磁波ノイズを低減することができる。

【0024】以上説明したように、本発明によれば、I C パッケージの本体及びリードピンをもフェライトで覆ったもので、I C パッケージから放射される電磁波ノイズの低減が容易に行え更に安価に行える。更に、後から追加出来るため I C パッケージの設計変更を行わずに済みコストダウンにつながることになる。

【0025】

【発明の効果】以上説明したように、本発明によれば、樹脂封止された半導体を基板に実装する際に、簡単に構

成される遮蔽部材であって、電磁波の遮蔽を行なうフェライトを含む磁性材料から形成され、リード部の外周回りを挿通する貫通孔部を穿設した遮蔽部材により、本体部の上面部を覆うとともに、リード部に貫通孔部を挿通した状態で基板に実装することで、不要な放射ノイズの放射を低減する装置及び方法を提供することができる。

【0026】

【図面の簡単な説明】

【図1】第1の実施形態の遮蔽部材の展開図(a)、基板実装後の断面図(b)である。

【図2】第2の実施形態の遮蔽部材の展開図(a)、基板実装後の断面図(b)である。

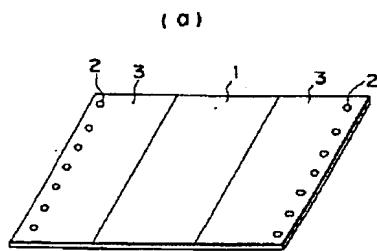
【図3】第3の実施形態の遮蔽部材の展開図である。

【図4】第3の遮蔽部材の実装後の外観斜視図である。

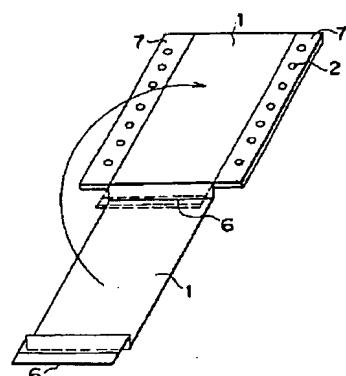
【符号の説明】

- 1 フェライト(第1の基部)
- 2 リードピン用ホール(貫通孔)
- 3 フレキシブルフェライト(第2の基部)
- 4 I C パッケージ(半導体)
- 5 リードピン
- 6 接続用端子
- 7 フェライト(第2の基部)
- 8 半田
- 9 グランドパターン
- 10 信号パターン
- 20 基板

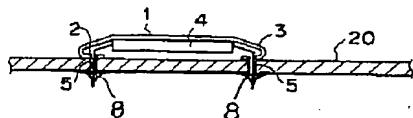
【図1】



【図3】

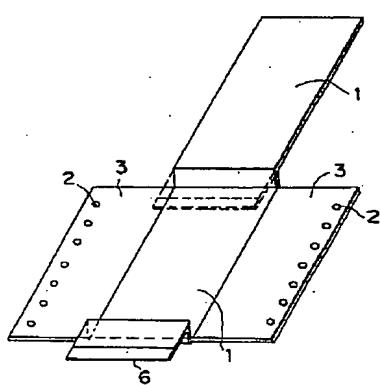


【図1】

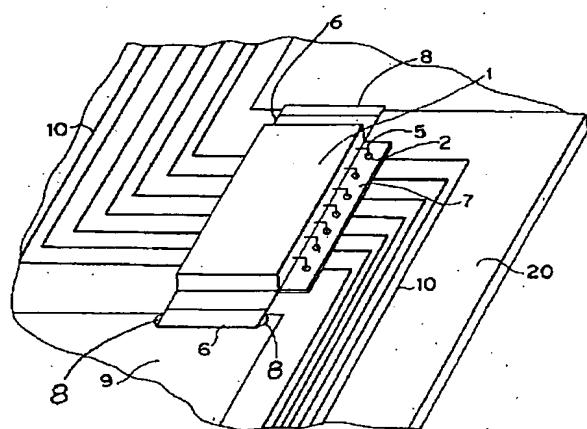


【図2】

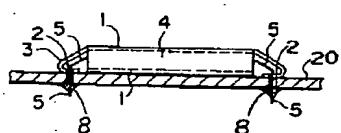
(a)



【図4】



(b)



© EPODOC / EPO

PN - JP11289186 A 19991019
TI - METHOD AND DEVICE FOR REDUCING SEMICONDUCTOR NOISE
AB - PROBLEM TO BE SOLVED: To reduce the radiation of unwanted radiation noise by mounting on a substrate, while a through-hole part is inserted into a lead part. SOLUTION: This noise reducing device for a semiconductor in which the part of a lead part 5 is exposed from a main body part 4 molded through resin- encapsulating a lead mounted with a specified element. Here, by the use of a shield member formed of a magnetic material made of ferrite for shielding electromagnetic waves, a through-hole part 2 penetrating through outer periphery of the lead part 5 is opened, at least the upper surface part of the main body part 4 is covered, while being mounted on a substrate 20 and the through-hole part 2 is inserted into the lead part 5.
FI - H05K1/18&D; H05K9/00&M; H05K9/00&Q
PA - CANON KK
IN - TERAYAMA YOSHIMI
AP - JP19980090132 19980402
PR - JP19980090132 19980402
DT -
FT - 5E321/AA01; 5E321/AA22; 5E321/BB44; 5E321/BB51; 5E321/CC02; 5E321/CC12; 5E321/GG05; 5E321/GG09; 5E336/AA01; 5E336/AA12; 5E336/CC01; 5E336/CC58; 5E336/CC60; 5E336/DD28; 5E336/EE01; 5E336/EE19; 5E336/GG11
IC - H05K9/00; H05K1/18

© WPI / DERWENT

AN - 2000-100423 [09]
TI - Ferrite sheet shield covering structure for semiconductor IC package - has ferrite sheet with holes for leads from IC chip in flexible periphery and central rigid portion covering IC chip top
AB - JP11289186 NOVELTY - Shield sheet of ferrite has central rigid portion (1) and edges flexible portions (3) in which through-holes (2) are drilled. Leads (5) of semiconductor IC chip (4) are passed through through-holes, and chip with shield above it is mounted on board (20) and sealed with resin (8). Central rigid portion of shield sheet can be optically removable sliding-type between peripheral flexible portion.
- DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for radiation noise suppression method of semiconductor IC.
- USE - For suppressing radiation noise in semiconductor IC package.
- ADVANTAGE - Effectively shields electromagnetic waves from the chip, during its operation, and reduces noise. Upper part of the chip is curved effectively and simply, without need for covering the entire chip.
- DESCRIPTION OF DRAWING - The figure shows the sectional view of the shield and mounted chip. (1) Central rigid portion; (2) Through-holes; (3) Flexible portions; (4) Semiconductor IC chip; (5) Leads; (8) Resin; (20) Board.
- (Dwg.1/4)
IW - FERRITE SHEET SHIELD COVER STRUCTURE SEMICONDUCTOR IC PACKAGE FERRITE SHEET HOLE LEAD IC CHIP FLEXIBLE PERIPHERAL CENTRAL RIGID PORTION COVER IC CHIP TOP
PN - JP11289186 A 19991019 DW200009 H05K9/00 005pp
IC - H05K1/18 ;H05K9/00
MC - A12-E07C L03-G L03-H04E8
- V04-Q02A V04-U
DC - A85 L03 V04
PA - (CANO) CANON KK
AP - JP19980090132 19980402
PR - JP19980090132 19980402

© PAJ / JPO

PN - JP11289186 A 19991019
TI - METHOD AND DEVICE FOR REDUCING SEMICONDUCTOR NOISE
AB - PROBLEM TO BE SOLVED: To reduce the radiation of unwanted radiation noise by mounting on a substrate, while a through-hole part is inserted into a lead part.
- SOLUTION: This noise reducing device for a semiconductor in which the part of a lead part 5 is exposed from a main body part 4 molded through resin- encapsulating a lead mounted with a specified element. Here, by the use of a shield member formed of a magnetic material made of ferrite for shielding electromagnetic waves, a through-hole part 2 penetrating through outer periphery of the lead part 5 is opened, at least the upper surface part of the main body part 4 is covered, while being mounted on a substrate 20 and the through-hole part 2 is inserted into the lead part 5.
I - H05K9/00 ;H05K1/18
PA - CANON INC
IN - TERAYAMA YOSHIMI
ABD - 20000131
ABV - 200001
AP - JP19980090132 19980402